

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-271713

(43) Date of publication of application : 08.10.1999

(51) Int.Cl.

G02F 1/133

G02F 1/136

G09G 3/36

(21) Application number : 10-071060 (71) Applicant : TOSHIBA CORP

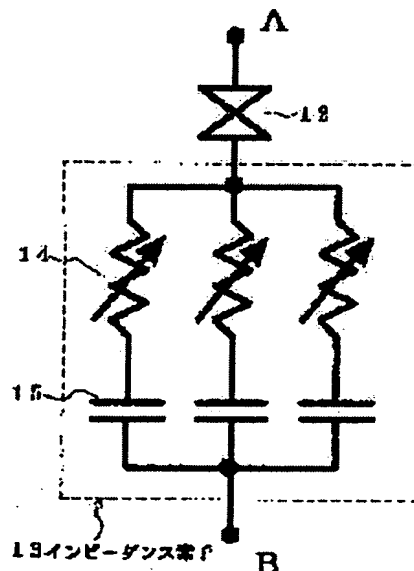
(22) Date of filing : 19.03.1998 (72) Inventor : NAKAI YUTAKA
AKIYAMA MASAHIKO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To make a stable gradational display and to enable sufficient writing against a decrease in write time with the increase of the number of pixels for a large-screen display.

SOLUTION: An impedance element 13 is connected in series with a liquid crystal layer (liquid crystal capacitor) 12 of respective pixels and constituted by making a parallel connection of series connections of variable resistance element 14 varying in impedance value with a display signal and capacitors 15 for voltage division. When the resistance value of a variable resistance element 14 is varied according to the display signal held by a display signal holding means provided for each pixel, the impedance varies with the resistance state. When an AC voltage is applied between electrodes A and B, the liquid crystal layer 12 is applied with an AC voltage divided corresponding to the impedance value of the impedance element 13, so the AC voltage applied to the liquid crystal layer 12 can be controlled by adjusting the impedance according to the display signal.



LEGAL STATUS

[Date of request for examination] 26.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application]

other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3483759

[Date of registration]

17.10.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-271713

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁴
 G 0 2 F 1/133
 1/136
 G 0 9 G 3/36

識別記号
 5 4 0
 5 0 0

F I
 G 0 2 F 1/133 5 4 0
 1/136 5 0 0
 G 0 9 G 3/36

審査請求 未請求 請求項の数5 OL (全 23 頁)

(21) 出願番号 特願平10-71060

(22) 出願日 平成10年(1998)3月19日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中井 豊

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

(72) 発明者 秋山 政彦

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

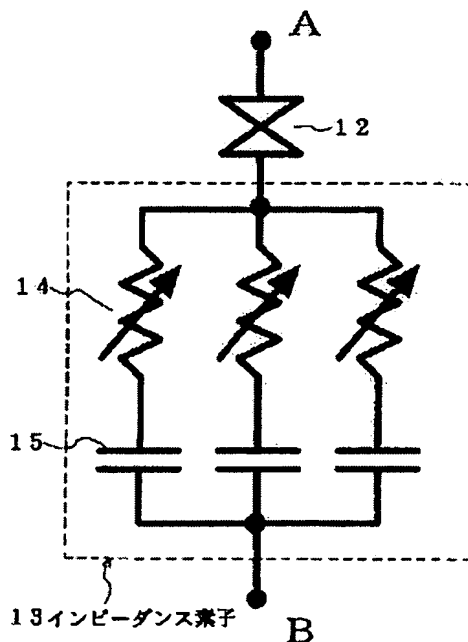
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 安定した階調表示を行うことができ、かつ高精細、大画面表示といった多画素化に伴う書き込み時間の減少に対しても、十分な書き込みが可能な液晶表示装置を提供する。

【解決手段】 各画素の液晶層（液晶容量）12に、インピーダンス素子13が直列接続されており、インピーダンス素子13は、表示信号に応じてインピーダンス値の変化する可変抵抗素子14と分圧のための容量15とを直列に接続したものを、さらに並列に複数接続した構成となっている。各画素に設けられた表示信号保持手段に保持された表示信号に応じて可変抵抗素子14の抵抗値を変化させると、抵抗状態に応じてインピーダンスは変化する。いま電極Aと電極Bの間に交流電圧を印加すると、液晶層12にはインピーダンス素子13のインピーダンス値に応じて分圧された交流電圧が印加されるから、表示信号に応じてインピーダンスを調整すれば、液晶層12に印加される交流電圧を制御することができる。



【特許請求の範囲】

【請求項 1】 第 1 の電極と第 2 の電極との間に挟持された液晶層と、
前記第 1 の電極または前記第 2 の電極に交流電圧を印加する手段と、
表示信号を供給する手段と、
前記表示信号を選択する手段と、
選択された前記表示信号を保持する手段と、

前記第 1 の電極と直列に接続され、保持された前記表示信号に応じてインピーダンスが変化するインピーダンス素子とを具備したことを特徴とする液晶表示装置。

【請求項 2】 前記インピーダンス素子は直列に接続された可変抵抗素子と容量素子とが複数並列に接続されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 第 1 の電極と第 2 の電極との間に挟持された液晶層と、

表示信号を供給する手段と、
前記表示信号を選択する手段と、
前記第 1 の電極と直列に接続され、前記選択された表示信号に応じて容量が変化する可変容量素子と、
第 1 の交流電圧を印加する第 1 の印加手段と、
前記第 1 の交流電圧と振幅の異なる第 2 の交流電圧を印加する第 2 の印加手段と、

前記選択された表示信号に応じて前記第 1 の交流電圧または前記第 2 の交流電圧を前記第 1 の電極または前記第 2 の電極に印加する切換手段とを具備したことを特徴とする液晶表示装置。

【請求項 4】 第 1 の電極と第 2 の電極との間に挟持された第 1 の液晶層と、前記第 2 の電極と第 3 の電極との間に挟持され、前記第 1 の液晶層と積層された第 2 の液晶層と、

第 1 の交流電圧を印加する第 1 の印加手段と、
第 2 の交流電圧を印加する第 2 の印加手段と、
第 3 の交流電圧を印加する第 3 の印加手段と、
前記第 1 の印加手段と前記第 1 の電極との間に介挿され第 1 の表示信号に応じて容量が変化する第 1 の可変容量素子と、

前記第 2 の印加手段と前記第 1 の電極との間に介挿され第 2 の表示信号に応じて容量が変化する第 2 の可変容量素子と、

前記第 3 の印加手段と前記第 1 の電極との間に介挿され第 3 の表示信号に応じて容量が変化する第 3 の可変容量素子とを具備し、

第 1 の交流電圧、第 2 の交流電圧、および第 3 の交流電圧は相互の位相のずれが等しい交流電圧であることを特徴とする液晶表示装置。

【請求項 5】 第 1 の電極と第 2 の電極との間に挟持された液晶層と、

表示信号を供給する手段と、
前記表示信号を選択する手段と、

前記前記第 1 の電極と直列に接続され、前記選択された表示信号に応じて容量が変化する可変容量素子と、
前記可変容量素子と並列に接続され、複数の交流電圧を前記選択された表示信号に応じて印加する印加手段と、
前記可変容量素子と前記印加手段との間に介挿された負荷容量とを具備したことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に関する。また本発明は階調表示が可能な液晶表示装置に関する。また、本発明は、特に印加される表示信号を記憶するメモリ素子を画素ごとに備えた液晶表示装置に関する。

【0002】

【従来の技術】近年、従来の CRT に代わる新しい表示装置の開発が盛んに行われるようになってきた。その中でも液晶表示装置は薄型で低電力動作が可能であるため家電、OA 機器の市場での期待は大きいものがある。

【0003】液晶表示装置は、その駆動方法から単純マトリクス型と、能動素子を用いたアクティブマトリクス型に分類される。アクティブマトリクス型は表示性能に優れ、液晶表示装置の主力となっている。

【0004】図 27 は従来のアクティブマトリクス型液晶表示装置の構成を示す図である。ここでは単位画素の等価回路図を示している。各画素には液晶層に表示信号に対応した電界を印加するための画素電極と薄膜トランジスタ 1 が配設されている。薄膜トランジスタ 1 のスイッチング信号が走査線 3 で供給され画素が選択されると、オン状態の薄膜トランジスタを通して信号線 4 から表示信号（画像情報）が液晶層 2 に送られる。非選択時は液晶層 2 自身の容量と、補助容量 5 により液晶の状態が保持される。しかし液晶層 2、補助容量 5 内部の電荷の移動により、表示信号電圧は時間とともに変化することは避けられない。そこで 1/60 秒程度を周期として表示信号電圧をリフレッシュする必要が生じる。

【0005】このような液晶表示装置では、許される画素選択時間は走査線 3 の本数により定まる。近年では液晶表示装置の大型化、高精細化など多画素化が進んでおり、走査線の本数は増加している。走査線の本数の増加に伴って単位画素の選択時間は減少する。このため、短時間で液晶層 2 に十分な電荷を書き込む（供給する）ことが困難になっており、表示品質が低下してしまうという問題がある。

【0006】一方、非選択時の電荷の移動による表示信号の時間変化も、表示特性の悪化を招く。このような問題を解決する方法として、例えば特開平 2-272521 では、図 28 に示すような構成の液晶表示装置を提案している。この液晶表示装置では、容量 8 の両端の電圧に応じて、薄膜トランジスタ 6 のオン抵抗が変化し、図

ドレインソース間抵抗により分圧され、液晶層2に所望の電圧を印加することができる。このような液晶表示装置では、表示信号は容量8に蓄積されるため、液晶層2とは異なり内部での電荷の移動が少なく、表示特性の悪化が抑制することができるとしている。

【0007】しかしながら、このような液晶表示装置では、中間調を表示することは困難であるという問題がある。図29は薄膜トランジスタ6のゲート電圧 V_g と液晶印加電圧との関係の例を示す図である。また図30は薄膜トランジスタ6のゲート電圧 V_g とドレインソース間抵抗との関係の例を示す図である。図31は、このような電気特性を有する薄膜トランジスタ6を用いて、図28の液晶表示装置のA-B間に振幅10V、30Hzの交流電圧を印加した場合に液晶層2に印加される電圧を、薄膜トランジスタ6のゲート電圧 V_g の関数として表したグラフである。

【0008】 V_g が3V付近では、 V_g のわずかな変化に対して液晶印加電圧が極めて大きく変化することが分かる。そのため、極めて正確に V_g を制御することが必要となり、実質的には中間調は困難である。

【0009】前述のように液晶表示装置は、薄型で低消費電力であり、ノート型パソコンなどに広く用いられている。特に消費電力が小さいことが他のCRT、プラズマディスプレイなどの表示装置と比べて優れた特徴であり、今後は携帯情報機器への応用が期待されている。

【0010】携帯機器の場合、表示装置の消費電力が500mW以下、できれば数mWと小さいことが望ましい。このような要求に対して、従来はTN型液晶の単純マトリクス型でバックライトが不要で消費電力の小さい反射型液晶表示装置を用いてきた。しかしながら、TN型では偏光板が必要であるため30%程度の低い反射率しか得られず表示が暗いこと、また単純マトリクス型では画素数を増やすとコントラストが低下しさらに見にくくなるなどの問題がある。

【0011】そこで、偏光板を必要としないPCGH（相変化ゲストホスト型）モードを用いてアクティブマトリクス型液晶表示装置を構成することにより、反射率が高く、コントラストも高い表示を得ることが試みられている。

【0012】図32は従来の液晶表示装置の構成の例を概略的に示す図である。図32に例示した構成は従来のTN液晶を用いた従来のアクティブマトリクス型液晶表示装置と同等であり、信号線94、ゲート線93およびその交点にある薄膜トランジスタ91（TFT：Thin Film Transister）により、各画素電極を介して液晶層（液晶容量）92および補助容量（蓄積容量）95に電荷を与える構成となっている。よく知られているように液晶には交流を印加する必要がある、対向基板の共通電極の電圧 V_{COM} を中心に画素電極の電圧を正電圧、負電圧となるように信号線94に表示

信号（電圧）を与え、薄膜トランジスタ91などの非線形スイッチング素子によりこの表示信号を選択して画素電極に印加することにより各画素の駆動を行っている。また信号線94にはアナログの交流電圧を表示信号に応じて供給する信号線ドライバーIC97などの駆動回路により駆動されている。

【0013】このような液晶表示装置では、表示が全く変化しない場合でも交流電圧を印加する必要があるため、フレーム周期で各画素が選択されるたびに画素電極電位を書換えている。容量に交流を印加する場合の消費電力は、 $P = f \times V^2 \times C$ （周波数 f ；電圧 V ；容量 C ）であるから、周波数が高いほど、電圧が高いほど、また容量が大きいほど消費電力が増大してしまう。

【0014】液晶表示装置を交流駆動する場合には、各画素の駆動周波数はフレーム周波数、信号線の駆動周波数はフレーム周波数と走査線本数の積、信号線駆動回路（ドライバーIC）の駆動周波数は、表示画面の総画素数とフレーム周波数の積の値、もし分割駆動すればさらに分割数で割った値、となる。現状で、対角10.4インチのカラーVGA（640×RGB×480画素）では信号線駆動回路の消費電力はおよそ1W程度であるから、A4サイズで150dpi相当の高精細な液晶表示装置の画素数ではVGAの6.25倍の1600×1200画素程度となり、約2～3W以上と消費電力が非常に大きくなっていくことが理解される。消費電力がこのように大きなままで液晶表示装置を携帯情報機器の表示装置として用いるのでは、バッテリーの制限から使用時間が短くなっていくという問題がある。

【0015】この問題に対して、双安定の強誘電性液晶（SSFLC）を用いると液晶にメモリ性を付与することができ、表示が変わらない限り電圧の供給を停止することができることが知られており、消費電力の低減が可能である。しかしながら双安定の強誘電性液晶では、衝撃により配向が乱れて表示不良が発生する問題があり、携帯型表示デバイスとしては採用できない。さらにメモリ性を持った液晶では表示品位（コントラスト、反射率など）が制限されることが多く、たとえばSSFLCでは偏光板の使用が不可欠の表示モードであり、反射率は30%程度と暗い画面しか得られない問題もあった。さらに、双安定であるために基本的に2値表示となり、階調が出せる表示モードと比べ大幅に表現力すなわち情報量が低下してしまう。これはカラー表示の場合に問題であり、階調を出すためにディザなど空間変調を行えば実効的な解像度が低下してしまい、フレームレートコントロールなど時間変調を行えばフリッカが発生し、また動画には適用できないといった問題があった。

【0016】

【発明が解決しようとする課題】このように従来のアクティブマトリクス型液晶表示装置では、液晶層内の電荷の移動による保持特性の悪化の問題がある。各画素に設

けた容量の両端電圧を薄膜トランジスタのインピーダンス制御に用い、液晶層との分圧により液晶層の印加電圧を制御する液晶表示装置も提案されているが、このような液晶表示装置では中間調を表示することが困難である。

【0017】本発明はこのような問題点を解決するためになされたものである。すなわち本発明は中間調が容易に得られ、かつ液晶表示装置の多画素化に伴う書込み時間の減少に対しても充分な書込みが可能な液晶表示装置を提供することを目的とする。また本発明の液晶表示装置では、駆動に要する消費電力を低減するとともに、良好な階調表示を行うことを目的とする。

【0018】

【課題を解決するための手段】このような課題を解決するため、本発明の液晶表示装置は以下のような構成を採用している。

【0019】本発明の液晶表示装置の第1のアスペクトは、第1の電極と第2の電極との間に挟持された液晶層と、前記第1の電極または前記第2の電極に交流電圧を印加する手段と、表示信号を供給する手段と、表示信号を選択する手段と、選択された前記表示信号を保持する手段と、前記第1の電極と直列に接続され、保持された前記表示信号に応じてインピーダンスが変化するインピーダンス素子とを具備したことを特徴とする。また、第1の電極と第2の電極との間に挟持された液晶層と、前記画素ごとに配設され表示信号を保持する手段と、前記第1の電極に直列に接続され、インピーダンスが前記表示信号に応じて変化する可変抵抗素子を含むインピーダンス素子とを備えるようにしてもよい。また第1の電極がマトリクス状に配設された第1の基板と、第2の電極が配設された第2の基板と、前記第1の電極と前記第2の電極との間に挟持された液晶層と、前記第1の電極または前記第2の電極に交流電圧を印加する手段と、表示信号を供給する手段と、前記第1の電極ごとに配設され、前記表示信号を選択して保持する手段と、前記第1の電極と直列に接続され、前記保持された表示信号に応じてインピーダンスが変化するインピーダンス素子とを具備するようにしてもよい。

【0020】ここで、第1の電極としては例えば画素電極を、また第2の電極としては例えば対向電極（共通電極）をあげることができる。第1の電極と第2の電極およびこれらの間に挟持される液晶層とにより画素が構成される。また第1の電極と第2の電極とを同一の基板上に配設してIPSモード（In-Plane Switchingモード）の液晶表示装置を構成するようにしてもよい。

【0021】画素電極は例えばガラス、石英などの少なくとも表面が絶縁性を呈する基板上に、マトリクスアレイ状に配設するようにしてもよい。このような画素を2次元的に配設することにより、液晶層への入射光が2次

元的に変調されて、表示が行われる。第1の電極が画素電極である場合には、駆動素子は画素電極により覆われることが開口率向上の点で好ましい。画素電極を反射電極とすれば、本発明を反射型液晶表示装置に適用することもできる。この場合、選択手段、保持手段などを有する駆動素子の設計の自由度が向上する。

【0022】表示信号は、画素の状態、すなわち第1の電極と第2の電極との間に挟持された液晶層の状態を制御する信号である。表示信号の形態はデジタルデータ、アナログ電圧を問わない。このような表示信号を供給する手段は、例えば給電線路のような形態である。また表示信号を供給する手段は1系統に限らず、複数系統備えるようにしてもよい。

【0023】表示信号を選択する手段は、上述のように供給される表示信号を画素ごとに選択・サンプリングする手段である。例えば信号線とソース・ドレインが接続された薄膜トランジスタなどの非線形スイッチング素子を用いるようにしてもよい。薄膜トランジスタのゲート電極電位を走査信号により制御することにより、任意の画素ごとに独立に表示信号を取り込むことができる。また表示信号が各画素までデジタルデータとして供給される場合には、例えば論理ゲート、データラッチ、シフトレジスタ等を組み合わせてサンプリング回路を構成するようにしてもよい。

【0024】前記インピーダンス素子は、例えば直列に接続された可変抵抗素子と容量素子とが複数並列に接続して構成するようにしてもよい。可変抵抗素子としては、例えば薄膜トランジスタなどのスイッチング素子を用いるようにしてもよい。スイッチング素子のオン・オフの切り替えだけでなく、その中間の抵抗値を利用するようにしてもよい。また複数の容量値の設定は、組み合わせにより滑らかに変化するような階調電圧を生じるような値を選択するようにすればよい。

【0025】また、前記インピーダンス素子の容量は、前記第1の電極と前記第2の電極およびこれらに挟持される液晶層により構成される容量、すなわち液晶容量よりも小さくなるように設定することが好適である。また、各画素の前記表示信号の保持手段及び前記インピーダンス素子を含む、表示信号供給側からの表示信号保持時における容量負荷が、液晶容量より小さくなるようにしてもよい。

【0026】また、前記複数の可変抵抗素子は、各画素ごとに配設された、前記表示信号を保持する手段に保持された表示信号に応じて、互いに異なるインピーダンスを有するように構成してもよい。可変抵抗素子としては例えば薄膜トランジスタなどの3端子素子を用いるようにしてもよい。またスイッチング素子としてオン・オフ制御を行うだけでなくその中間の抵抗値を用いるようにしてもよい。複数の容量値の設定は、複数の容量の組み合わせが滑らかに連続するような階調に対応するように

選択するようにしてもよい。

【0027】また、各画素の前記表示信号の保持手段及び前記インピーダンス素子を含む、表示信号供給側からの表示信号保持時における容量負荷は、液晶容量より小さくなるように設定してもよい。

【0028】すなわち本発明の第1のAspectによれば、液晶容量と直列に接続されたインピーダンス素子が、容量素子と可変抵抗素子とを直列接続したものを並列に複数接続したものから構成されているため、可変抵抗素子の状態を制御することにより、各画素を構成する液晶層に印加される電圧をデジタルに制御することができる。したがって中間調を安定して表示させることができる。

【0029】また、前記可変抵抗素子のインピーダンスが、表示信号に応じて互いに異なるように構成することにより、各画素に蓄積される表示信号に応じて液晶印加電圧を緩やかに変化させることができ、アナログ的な中間調の表示においても正確な中間調の制御が行われる。

【0030】さらに、本発明の液晶表示装置の第1のAspectによれば、従来のように信号線から直接液晶層に電荷を書き込むのではなく、信号線からは例えば補助容量等の保持手段に表示信号を書き込む。このため、液晶層より補助容量を小さくすれば、各画素の信号線に対する負荷容量が低減するばかりでなく、画素選択時にすばやく表示信号を書き込むことができるため、画素選択時間が短くなる。したがって液晶表示装置の大画面化、高精細化を実現することができる。

【0031】本発明の液晶表示装置の第2のAspectは、第1の電極と第2の電極との間に挟持された液晶層と、表示信号を供給する手段と、前記表示信号を選択する手段と、前記第1の電極と直列に接続され、前記選択された表示信号に応じて容量が変化する可変容量素子と、第1の交流電圧を印加する第1の印加手段と、前記第1の交流電圧と振幅の異なる第2の交流電圧を印加する第2の印加手段と、前記選択された表示信号に応じて前記第1の交流電圧または前記第2の交流電圧を前記第1の電極または前記第2の電極に印加する切換手段とを具備したことを特徴とする。

【0032】また、第1の電極と第2の電極との間に挟持された液晶層と、表示信号を供給する手段と、前記表示信号を選択する手段と、前記第1の電極と直列に接続され、前記選択された表示信号に応じて容量が変化するインピーダンス素子と、第1の交流電圧を印加する第1の印加手段と、前記第1の交流電圧と振幅の異なる第2の交流電圧を印加する第2の印加手段と、前記選択された表示信号に応じて前記第1の交流電圧または前記第2の交流電圧を前記第1の電極または前記第2の電極に印加する切換手段とを具備するようにしてもよい。

【0033】本発明の液晶表示装置の第3のAspectは、第1の電極と第2の電極との間に挟持された液晶層

と、表示信号を供給する手段と、前記表示信号を選択する手段と、前記前記第1の電極と直列に接続され、前記選択された表示信号に応じて容量が変化する可変容量素子と、前記可変容量素子と並列に接続され、複数の交流電圧を前記選択された表示信号に応じて印加する印加手段と、前記可変容量素子と前記印加手段との間に介挿された負荷容量とを具備したことを特徴とする。本発明の液晶表示装置の第4のAspectは、第1の電極と第2の電極と第3の電極との間に挟持され、前記第1の液晶層と積層された第2の液晶層と、第1の交流電圧を印加する第1の印加手段と、第2の交流電圧を印加する第2の印加手段と、第3の交流電圧を印加する第3の印加手段と、前記第1の印加手段と前記第1の電極との間に介挿され第1の表示信号に応じて容量が変化する第1の可変容量素子と、前記第2の印加手段と前記第1の電極との間に介挿され第2の表示信号に応じて容量が変化する第3の可変容量素子と、前記第3の印加手段と前記第1の電極との間に介挿され第3の表示信号に応じて容量が変化する第3の可変容量素子とを具備し、第1の交流電圧、第2の交流電圧、および第3の交流電圧は相互の位相のずれが等しい交流電圧であることを特徴とする。また液晶層が複数積層され、中間電極を有する液晶表示装置において、複数の容量およびこれらを切替えるスイッチから構成された可変容量形成部と、これに接続された（画素電極で駆動される）液晶を有し、交流を印加して、容量の分圧により液晶への交流印加電圧を制御する画素回路を接続し、交流電圧の周波数を揃え、位相を単位絵素を構成する複数の画素電極へ印加する交流電圧の位相を、単位絵素内では揃えるようにしてもよい。なお異なる絵素では位相の異なる交流電圧を印加するようにしてもよい。

【0034】すなわち本発明の液晶表示装置の第2の乃至第4のAspectは、複数の画素を有し、単位画素内に複数の容量およびこれらを切替えるスイッチから構成された可変容量素子と、この可変容量素子に接続された（画素電極で駆動される）液晶を有し、交流を印加して容量の分圧により液晶への交流印加電圧を制御する画素回路を有する液晶表示装置において、振幅の異なる交流電圧供給が複数あり、それを選択し可変容量形成部に印加する回路をさらに具備したものである。

【0035】可変容量素子の形態としては、例えば直列接続した容量素子とスイッチとを複数並列接続するようにしてもよい。スイッチの接続数を表示信号に応じて制御することにより、表示信号に対応した容量を形成することができる。このような表示信号に応じて変化する可変容量素子と画素の液晶容量とにより、印加手段により印加される交流電圧が分圧されるから、液晶層へは表示信号に対応して制御された交流電圧が印加される。

【0036】また可変容量素子の形成する容量の組み合

わせ数は、所定の表示階調数より多くなるようにしてもよい。

【0037】また液晶容量とに交流的に並列に接続された補助容量を配設するようにしてもよい。

【0038】また第1の交流電圧と第2の交流電圧は振幅の異なる交流電圧を印加するようにすればよい。また、画素により位相の異なる交流電圧を印加するようにしてもよい。ただし、例えば3層GH型液晶表示装置のような複数の液晶層を積層し、積層された複数の画素により単位絵素を構成する場合には、単位絵素内では位相の差が等しくなるようにする必要がある。例えば第1の交流電圧と第2の交流電圧の周波数と位相とをそろえるようにしてもよい。

【0039】切替え手段は、表示信号に対応して第1の交流電圧と第2の交流電圧とを選択的に第1の電極または第2の電極に印加するものであり、例えば薄膜トランジスタなどのスイッチング素子により構成するようにしてもよい。

【0040】このような構成を採用することにより、本発明の液晶表示装置によれば液晶層の電気光学応答（透過、反射等）の特性や視感度を考慮して、表示する画像の階調と、実際に各画素を構成する液晶層への印加電圧との関係を補正することができ、良好な階調表示が実現する。

【0041】

【発明の実施の形態】以下に本発明の液晶表示装置についてその実施形態を詳細に説明する。

【0042】（実施形態1）図1は本発明の液晶表示装置の単位画素の構成を説明するための図である。

【0043】各画素の液晶層（液晶容量）12に、インピーダンス素子13が直列接続されている。インピーダンス素子13は、表示信号に応じてインピーダンス値の変化する可変抵抗素子14と分圧のための容量15とを直列に接続したものを、さらに並列に複数接続した構成となっている。なおこの例では、可変抵抗素子と容量との組を3組並列に接続した構成を示しているが、これに限定されるものではない。

【0044】ここで、各画素に設けられた図示しない表示信号保持手段に保持された表示信号に応じて、可変抵抗素子14の抵抗値を変化させる。抵抗の変化は、高抵抗状態と低抵抗状態にするようにしてもよいし、中間的な抵抗値を取るようにしてもよい。可変抵抗素子14の抵抗状態に応じてインピーダンスは変化する。いま電極Aと電極Bの間に交流電圧を印加すると、液晶層12には、インピーダンス素子13のインピーダンス値に応じて分圧された交流電圧が印加されることになる。したがって、表示信号に応じてインピーダンスを調整すれば、液晶層12に印加される交流電圧を制御することができる。なお、交流電圧は液晶層の劣化を防ぐために印加するものであり、20Hzヘルツ程度では印加電圧のわず

かな非対称性に対してもフリッカとして視認されてしまう。したがって30Hz以上の交流電圧を印加することが望ましい。液晶の応答速度が大きい場合には、70Hz以上の交流電圧を印加することがさらに好適である。しかしながら本発明では、例えば図27に例示したような画素構成と比較して、液晶への印加電圧の非対称性をほとんど皆無にすることができる。したがって印加電圧の非対称性が極めて小さい場合は、印加周波数を30Hz以下に低減することもでき、消費電力を低減することができる。

【0045】図2は電極Aと電極Bとの間に印加する交流電圧を説明するための図である。ここで電極Aは例えば画素電極、電極Bは例えば対向電極である。

【0046】交流電圧は、図2に示すように電極Aと電極Bとで極性を逆にしたものを印加するようにしてもよい。このような構成を採用することにより各電極に印加する電圧を小さくすることができるので、液晶表示装置の駆動回路の負荷を低減することができる。

【0047】また、並列接続された各インピーダンス素子のうち、少なくとも1つは容量素子15を含まないものがあってもよい。これにより、インピーダンス素子13に含まれる可変抵抗素子14の抵抗を低くした場合、インピーダンス素子13全体での電圧降下はほとんどなくすることができる。したがって、電極A—電極B間に印加した交流電圧を効率的に液晶層12に印加することができる。

【0048】図3は本発明の液晶表示装置の単位画素の構成の別の例を説明するための図であり、可変抵抗素子14としてトランジスタを利用した例を示している。ここでは一般的なアクティブマトリクス型液晶表示装置と同様の製造工程を想定して、トランジスタを薄膜トランジスタとして構成した例について説明するが、薄膜トランジスタ以外のトランジスタを用いるようにしてもよい。

【0049】図3のような構成では、インピーダンス素子13のインピーダンスの値は各薄膜トランジスタ16のゲート電圧に応じて変化する。またここでは薄膜トランジスタ16は例えば図30に例示したようなn型の特性を有するものを用いることとする。

【0050】図4はインピーダンス素子を構成する薄膜トランジスタのゲート電圧と液晶層に印加される液晶印加電圧との関係の例を説明するための図である。いま例えば3個の分圧用の容量15をほぼ同じ容量にし、3個の薄膜トランジスタ16を順次オン状態にすると、図4のように、ゲート電圧の増加に応じて、液晶印加電圧は4レベルの階段状に変化する。したがってデジタル4階調を画素で制御することができる。

【0051】従来の液晶表示装置では、信号線駆動回路などの周辺回路がデジタルで処理されていたとしても、最終的に液晶層へ表示信号を印加する際にはアナロ

グな表示信号を印加するアナログ処理になっており、中間調表示の精度がよくないという問題があった。これに対して本発明の液晶表示装置では、各画素でデジタル処理を行うようにすれば、中間調画像も精度よく表示することができるようになる。さらに各画素の表示信号が何らかの原因で変動したとしても、安定して中間調の画像を表示することができる。

【0052】なお、3個の分圧用の容量はすべて同じ容量である必要はない。また液晶は一般的に、印加電圧に対して非線型な光学特性を示すため、最終的な液晶層の光学特性を考慮して中間調レベルの電圧を算出し、その結果に応じて分圧用の容量15の容量を決定するようにしてもよい。

【0053】図5はインピーダンス素子を構成する薄膜トランジスタのゲート電圧と液晶層に印加される液晶印加電圧との関係の別の例を説明するための図であり、前述の制御とは別のデジタル制御方法の例である。この例では例えば図3に例示した画素構成を採用するとともに、インピーダンス素子13を構成する各薄膜トランジスタ16をオンにした時に液晶層12に印加される電圧比が1:2:4になるように、分圧用の容量素子15の容量を調節して配設している。

【0054】したがって、3個の薄膜トランジスタ16のゲートのオン・オフの組合せにより、3ビット、すなわち8階調の画像を表示することができる。なお、3個の分圧用の容量素子15は、液晶層12に印加される電圧を基準に決定する必要はない。液晶は印加電圧に対して非線型な光学特性を示すため、最終的な液晶層12の光学特性を考慮して、分圧用の容量素子15の容量を補正するようにしてもよい。

【0055】図6はインピーダンス素子を構成する薄膜トランジスタのゲート電圧と液晶層に印加される液晶印加電圧との関係の別の例を説明するための図であり、前述の制御とは別の制御方法の例である。この例では、3個の薄膜トランジスタ16がオフからオン状態へ変化するゲート電圧をわずかに変えた場合を示している。ゲート電圧の増加に伴い、3個の薄膜トランジスタが漸次的に次々にオンになる、このため、図29の例と比較してゲート電圧の増加に対して液晶層12に印加される電圧を緩やかに変化させることができる。したがって、中間調の画像の表示を安定に行うことができ、表示品質を向上することができる。

【0056】以上説明した例では薄膜トランジスタ16及び分圧用容量15の数は3個としたが、これに限定されるものではない。薄膜トランジスタ16及び分圧用容量15の数を増やして、並列接続されるインピーダンス素子の数を増やせば、より細かい階調表示を行うことができる。

【0057】上述した実施形態では、表示信号はデジタル情報として周辺回路から直接各画素へ送るようにし

てもよい。この場合はデジタルデータのビット数に対応して配線本数が増大するため、透過型液晶表示装置への適用すると開口率低下する場合もあるが、反射型液晶表示装置への適用は容易である。これとは逆に、表示信号を画素までは信号線電圧などのアナログ情報として送り、各画素でデジタル情報に変換し、このデジタルな表示信号に対応してインピーダンス素子のインピーダンス値を変化させて画素電極に印加する電圧を制御するようにしてもよい。

【0058】（実施形態2）次に例えば図3に例示した複数のスイッチング素子（薄膜トランジスタ16）のオン・オフを、表示信号に応じて制御する方法について説明する。

【0059】図7は本発明の液晶表示装置の単位画素の構成の例を概略的に示す等価回路図である。薄膜トランジスタ1は画素の選択を目的としたものであり、走査線3に供給される走査信号によりオン・オフが制御され、オン状態のときに信号線4に供給されている表示信号をサンプリングする。サンプリングされた表示信号は補助容量(Cs)18に表示信号に対応した電圧として記憶される。薄膜トランジスタ11から見た負荷容量は、補助容量18とインピーダンス素子を構成する薄膜トランジスタ16a、16b、16c及び分圧用の容量15a、15b、15cとの合成容量となり、液晶容量12と比較して一般的に極めて小さく設定することができる。このため液晶層への表示信号の書き込みは、図27に例示したような従来の液晶表示装置と比較して大幅に短縮し、極めて短時間で完了することができる。したがって液晶表示装置の走査線の本数を増やすことができ、多画素化を実現することができる。

【0060】また図7に例示した構成では、補助容量18に保持された表示信号は薄膜トランジスタ16a、16b、16cのゲート電極に印加され、ゲート電極電位に応じてオン・オフがスイッチングされる。このとき各薄膜トランジスタ16a、16b、16cと電極Bの間に分圧用の容量15a、15b、15cが介挿されているため、薄膜トランジスタ16a、16b、16cのゲートソース間電圧は、容量15a、15b、15cの容量C1、C2、C3に応じて異なったものとなる。したがって各薄膜トランジスタ16a、16b、16cのオン・オフのタイミングがずれることになり、図4あるいは図6に例示したような電圧特性を実現することができる。

【0061】図8は、例えば図30、図31に例示した薄膜トランジスタの電気特性をもとに容量15a、15b、15cの容量をそれぞれC1=50fF、C2=130fF、C3=200fFとし、単位画素を構成する液晶容量を300fFとした場合の液晶電圧特性の例を示す図である。図29のような特性と比較すると、Vgの変化に対する液晶印加電圧の変化が緩やかになってい

10

20

30

40

50

ることがわかる。このように本発明の液晶表示装置によれば、階調表示の制御を容易に行うことができる。

【0062】また、図9は薄膜トランジスタを6個並列に接続した場合に得られる液晶電圧特性の例を示す図である。液晶に電圧を印加しない場合の電圧レベルが上がるが、全体的にゲート電圧の変化に対する液晶印加電圧の変化が緩やかになっており、中間調表示に対して効果があることがわかる。

【0063】（実施形態3）図10は本発明の液晶表示装置の単位画素構成の例を概略的に示す等価回路図である。図7に例示した本発明の液晶表示装置と同様に、画素選択用の薄膜トランジスタ11によりサンプリングされた表示信号は補助容量18に書き込まれ、この補助容量に記憶された表示信号電圧に応じて、インピーダンス素子13を構成する薄膜トランジスタ16a、16b、16cのオン、オフが制御される構成となっている。この例では薄膜トランジスタ16a、16b、16cのゲートと補助容量18との間に付加容量19a、19b、19cが介挿されており、この付加容量に応じて薄膜トランジスタ16a、16b、16cのゲートソース間電圧が制御される。その結果薄膜トランジスタ16a、16b、16cのオン・オフのタイミングがシフトし、図4あるいは図6に例示したような電圧特性を実現することができる。

【0064】図11は本発明の液晶表示装置の液晶電圧特性の例を示す図である。ここでは図30、図31に例示した薄膜トランジスタの電気特性をもとに、分圧用の容量15a、15b、15cをそれぞれ $C1=100\text{ fF}$ 、 $C2=300\text{ fF}$ 、 $C3=800\text{ fF}$ とし、また付加容量19a、19b、19cをそれぞれ 50 fF 、 34 fF 、 30 fF とした場合に得られる液晶電圧特性を示している。図29のような特性と比較すると、 V_g の変化に対する液晶印加電圧の変化が緩やかになっていることがわかる。このように本発明の液晶表示装置によれば、階調表示の制御を容易に行うことができる。

【0065】（実施形態4）図12は本発明の液晶表示装置の単位画素構成の例を概略的に示す等価回路図である。この例では、補助容量18を複数の容量素子18a、18b、18cにより分割し、容量分割されて保持された表示信号の電圧を、薄膜トランジスタ16a、16b、16cのゲートにそれぞれ印加する構成を採用している。図13は本発明の液晶表示装置の液晶電圧特性の例を示す図である。ここでは図30、図31に例示した薄膜トランジスタの電気特性をもとに、分圧用の容量15a、15b、15cをそれぞれ $C1=50\text{ fF}$ 、 $C2=150\text{ fF}$ 、 $C3=50\text{ fF}$ とし、また補助容量18a、18b、18cをそれぞれ $Cs1=50\text{ fF}$ 、 $Cs2=50\text{ fF}$ 、 $Cs3=150\text{ fF}$ とした場合に得られる液晶電圧特性を示している。図29のような特性と比較すると、 V_g の変化に対する液晶印加電圧の変化が緩やか

になっていることがわかる。このように本発明の液晶表示装置によれば、階調表示の制御を容易に行うことができる。

【0066】なお上述の実施形態では、インピーダンスと直列に接続される容量素子の容量値を変化させてインピーダンス素子を構成しているが、例えば図14に例示するように同じ容量値を有する容量素子の接続数を変化させるようにしてもよい。

【0067】（実施形態5）図15は本発明の液晶表示装置の構成の例を概略的に示す図である。この液晶表示装置は、マトリクス状に配設された画素電極101が配設されたアレイ基板と、対向電極102が配設された対向基板との間に液晶層103が挟持されており、単位画素は画素電極101と対向電極と、これらに挟持された液晶層103により構成されている。画素電極101には、画素ごとに可変容量素子104が接続されている。また可変容量素子104は、コンデンサC1、C2、C3、C4とこのコンデンサと直列に接続されたスイッチSW1、SW2、SW3、SW4とを複数並列に接続して構成されている。この例では可変容量素子104のスイッチ106の切替えは、表示信号供給系105から選択回路106により選択された表示信号に応じて制御回路107により行われる構成となっている。したがって可変容量素子104の容量は、画素ごとに選択された表示信号に対応して変化することになる。

【0068】この例では並列接続された4個のコンデンサにより可変容量素子の容量を構成しているが、接続するコンデンサの数は4個より多くてもよいし、また少なくともよい（ただし2個以上）。またこの例ではコンデンサはすべて並列接続しているが、直列接続と並列接続を組み合わせて構成するようにしてもよい。直列接続の場合にはスイッチを容量に並列に配設するようにしてもよい。

【0069】また本発明の液晶表示装置では、可変容量素子104には複数の交流電圧供給系から振幅の異なる交流電圧が供給されるようになっている。この例では第1の交流電圧 V_{a1} を供給する第1の交流電圧供給系111と、第2の交流電圧 V_{a2} を供給する第2の交流電圧供給系112とがあり、これらの交流電圧供給系と可変容量素子との間には、スイッチSW11とスイッチSW12とがそれぞれ介挿されている。図15の例ではこれらのスイッチの切替えもまた、選択された表示信号に応じて制御回路107により行われる構成となっている。したがって可変容量素子104には振幅の異なる交流電圧が表示信号に応じて選択的に印加される。さらにこの例では、補助容量Cs108が液晶容量CLCに対してに交流的に並列に接続されている。また、画素電極101の電圧をリセットするスイッチSW0も設けられている。

【0070】上述のようにスイッチSW1、SW2、SW3、SW4、SW10、SW11、SW12のオン・

オフは画素ごとに配設された制御回路107により制御される。制御回路107は例えばデコーダやマトリクスなどで構成されており、画素ごとに選択された表示信号に基づいて切り換えられる。表示信号の形態はアナログ・デジタルを問わない。例えば表示信号をデジタルデータとして制御回路107内のメモリに保持するようにしてもよい。また少なくとも、表示信号を書き換える期間までは制御回路107の出力状態が変化しないように構成するようにすればよい。またこのようなスイッチは例えば薄膜トランジスタなどの電界効果型トランジスタ等により構成するようにしてもよい。

【0071】図16は本発明の液晶表示装置の構成の例を概略的に示す図であり、可変容量素子104の容量を制御する手段と、この可変容量素子104へ接続された複数系統の交流電圧供給系を切り換えるる制御回路107としてデコーダ107aを設けた構成を示している。デコーダ107aにはクロックを与えるクロック線116、信号線113と走査線115に接続された薄膜トランジスタ114の出力、およびストロブ配線117が接続されている。118はCs線である。なお、電源等は図示していない。

【0072】この例ではスイッチSW1、SW2、SW3、SW4、SW10、SW11、SW12は、アモルファスシリコン、多結晶シリコン、単結晶シリコン等の半導体をチャネル半導体膜として用いた薄膜トランジスタにより構成している。薄膜トランジスタを構成する半導体材料はこれに限らず、例えばCdSeなど他の材料により構成するようにしてもよい。

【0073】つぎに上述のような構成を有する本発明の液晶表示装置の動作について説明する。この液晶表示装置では、表示信号は図示しない信号線駆動回路により信号線113に供給され、画素選択のための薄膜トランジスタ114により選択されてデコーダ107aに送られる。すなわち、薄膜トランジスタ114は図示しない走査線駆動回路から走査線115に供給される走査信号によりオン・オフが制御され、オン状態のときに信号線113に印加されている表示信号がソース・ドレインを通じてデコーダ107aに供給される。

【0074】制御回路であるデコーダ107aは、表示信号に応じてSW1～SW4、SW10、SW11、SW12のオン・オフを制御する。可変容量素子の容量Cvはオン状態のスイッチと接続されたコンデンサの容量の和が加わる。いまスイッチSW1、SW2、SW3、SW4の制御信号をx1、x2、x3、x4とし、これらスイッチのオン・オフに対応して“1”と“0”をとる関数 $\delta(x)$ を定めると、
$$C_v = C_1 \times \delta(x_1) + C_2 \times \delta(x_2) + C_3 \times \delta(x_3) + C_4 \times \delta(x_4)$$

で表される。したがって可変容量素子104はコンデンサC1～C4の容量値を変えていくことにより、4つの

場合には、2⁴通り(16通り)の容量が実現できる。

【0075】また、液晶103と補助容量108からなる容量とCvの直列接続に印加される交流電圧の振幅をVaとすると、液晶に印加される電圧VLCは、

$$VLC = V_a \times C_v / (C_v + CLC + C_s)$$

となる。Vaはデコーダ107aによるスイッチSW11、SW12のオン・オフにより、第1の交流電圧Va1、第2の交流電圧Va2のいずれかが選択されて可変容量素子104に印加される。

【0076】図17は本発明の液晶表示装置の表示階調と液晶印加電圧の関係の例を示すグラフである。図17のグラフの横軸は可変容量素子を構成するスイッチSW1～SW4のオン・オフの組合せでできる表示データ(階調)、縦軸は供給される交流電圧に対する液晶印加電圧の比でVLC/Va1である。いまVa1をVa2の1/2とした場合で、コンデンサC1～C4をCp=CLC+C_sに対する比として表1のように設定している。

【0077】

【表1】

C1/Cp	
C1/Cp	0.047
C2/Cp	0.081
C3/Cp	0.176
C4/Cp	0.370

(ただしCp=CLC+Cs)

図17に示したように、例えばVa1をVa2より小さく設定することにより、Va2を選択したとき液晶層に印加される液晶印加電圧VLCの値に対して、より中間的な電圧を生成して液晶層に印加することができる。したがってVa1までの電圧ではVa2を印加した場合に階調を出すよりも細かい電圧変化が得られ、実質的にVa1までの階調数が増加することができる。人間の視感度は一般的に明るい部分よりも暗い部分で敏感である。このような視感度を考えると表示階調は等間隔に設定するのではなく、暗い所の階調を増やすほうが好ましい。本発明の液晶表示装置では、得られる液晶印加電圧は可変容量素子の容量Cvの変化数に依存するものであり、離散化している点に注意する必要がある。液晶がノーマリーブラックで印加電圧と透過率がほぼリニアである場合には、Va1、Va2の2種類の電圧を選択して印加することにより、電圧が低い領域での電圧変化点数が向上す

ることになる。したがって暗い領域での階調が増加し、全体の階調性を向上させることができる。この例では、 16×2 階調よりは少ないが約26段分の階調を得ることができた。

【0078】またここでは可変容量素子104を構成するコンデンサC1～C4の容量の組合せを、連続した電圧変化を得ることができるように決めたが、階調数は減るものの階調として用いない容量の組合せが存在していてもかまわない。例えばコンデンサC1～C4の容量を同一にして、4種類の階調を実現するようにしてもよい。また、容量値を無限大すなわちコンデンサがなく直接スイッチが接続するようにしてもよい。これにより液晶印加電圧の効率が向上する効果がある。

【0079】ここで補助容量Csは、液晶容量CLCが印加電圧により変化することにより式2の分母が変わるのを適当に制御するために有効である。例えば液晶容量CLCの最小値の約1～約10倍程度の補助容量Csを設けることで容量変化を抑制することができる。また、液晶容量CLCの変化を逆に利用して液晶印加電圧を変化させることもできるので補助容量Cs、108を大きくするだけでなく適度の値に設定することもできる。またこの補助容量Cs、108を省略してもよい。さらに補助容量Cs108の容量を可変容量素子Cv104と同じようにスイッチにより可変にするようにしてもよい。このような構成を採用することにより、液晶印加電圧の振幅を大きく変化させることができる。なお補助容量Csは本発明の他の実施形態1、2、3、4等においても用いることができる。

【0080】可変容量素子を介して第1の交流電圧Va1、第2の交流電圧Va2の位相は同相でも逆相でもよく、また適当にシフトするようにしてもよい。交流電圧の振幅に応じて逆相より多少ずらすことで、交流電圧により信号線や画素電極への容量カップリングによるノイズを低減することができる。また交流電圧の供給位相を同相にすることにより外部の交流電圧生成回路の構成を簡略にすることができる。交流電圧は方形波の他に正弦波等でもよい。また波形の立ち上がり、立ち下がりのプロファイルをなまらすことにより電磁ノイズ放射を抑制することができる。

【0081】スイッチSW10をSW1～SW4の選択状態を確定する前にオンさせて画素電極電位を固定させ、その後SW0をオフしてSW1～SW4からの交流電圧を印加するようにしてもよい。これにより液晶層に不要な直流電圧が印加されるのを防止することができ、焼付きや残像の発生を防止することができる。

【0082】また、SW10はSW1～SW4をオフにした場合に液晶層への液晶印加電圧を0（ゼロ）とするが、フローティング電位となるため長時間この状態を保つには問題がある。このため、液晶印加電圧を0（ゼロ）に確定するために用いるようにしてもよい。このよ

うな構成を採用することにより、SW10は省略するようにしてもよい。

【0083】（実施形態6）図16に例示した本発明の液晶表示装置の動作について説明する。前述したように、走査線115に印加される走査信号をハイレベルにして薄膜トランジスタ114をオン状態にして画素を選択し、このとき信号線113に印加されている表示信号を薄膜トランジスタ114のソース・ドレインを通してデコーダ107aに入力する。

【0084】信号線113には、例えばSW1～SW4、SW10、SW11、SW12のそれぞれのオン・オフを決める信号を、あらかじめ定めた順番で時系列的な電圧波形により送るようにすればよい。時系列は内部回路で非同期的に分離することもできるが、ここではクロック116でサンプリングタイミングを決めている。

【0085】この例では6個（またはn個）のスイッチのオン・オフを決める構成なので、クロック配線に供給するクロックは単位画素の選択時間の $1/6$ （または $1/n$ ）の周期を持つものにすればよい。また、ストロブ117は、デコーダ107aの出力を一斉に出すためのもので、例えば画素選択期間後にストロブ信号を有効にするようにすればよい。これにより、1画素書換えの際に、途中の状態で液晶に電圧を印加させることを防止して表示品位を向上させることができる。なお、書込み時間（選択時間）が短く、液晶の光学応答が書込み時間の応答では実質的に問題がない場合にはストロブ信号およびストロブ回路を省略することができる。

【0086】補助容量Cs、108は補助容量線118に接続され、外部で補助容量線118と対向電極102とを交流的に接続しておけばよい。なお、対向電極102には、第1の交流電圧Va1、第2の交流電圧Va2とは別の交流電圧を印加するようにしてもよい。さらに補助容量線118と対向電極102を直流的に別の電位とするようにしてもよいし、また、それぞれ別の交流電圧を印加するようにしてもよい。直流的に別の電位を印加することにより、補助容量線118をデコーダ107a等の電源やグランドと共用することが容易になる。

【0087】本発明の液晶表示装置では、信号線115に供給する表示信号はデジタル信号でよい。例えば信号線駆動回路などの周辺駆動回路をすべてデジタル回路として構成することができる。このためアナログ部をなくすることができ、タイミングのずれをなくすることができる。また回路内部での消費電力を抑えることもできる。さらに、例えば画素一周辺駆動回路一体型の液晶表示装置のように、画素内に配設されるSW1～SW4、SW10、SW11、SW12および画素選択用のスイッチング素子114などと、周辺駆動回路を構成する薄膜トランジスタを、どちらも多結晶質シリコンをチャンネル半導体膜に用いたp-SiTFT、 μ c-SiTFTなどで構成された駆動回路を基板上に集積した場合で

も、回路設計が容易にできるようになり、本発明を特に好適に適用することができる。

【0088】(実施形態7)図18は本発明の液晶表示装置の構成の別の例を概略的に示す図である。また図19は実施形態6と同様に制御回路をデコーダとした場合の画素回路構成を示す図である。

【0089】この液晶表示装置は、可変容量素子 C_v 、104と直列接続した負荷容量 C_a 、121を介挿する端子122と単位123とにそれぞれ交流電圧を印加できるように複数の交流電圧供給系を備えたものである。液晶層103への印加電圧は可変容量素子104と付加容量 C_a 、121との接続点に接続した画素電極101と対向電極102との間で印加される。液晶容量 C_{LC} は、付加容量 C_a 、可変容量素子 C_v の容量よりも十分小さくすれば画素電極電位 V_p が液晶により大きく変化しないが、液晶容量を考慮して電圧制御をするようにしてもよい。

【0090】またこの例では、交流電圧は第1の交流電圧 V_{a41} 、第2の交流電圧 V_{a42} 、第3の交流電圧 V_{a43} の振幅の異なる3つ交流電圧を印加している。印加する交流電圧の系統は4系統以上備えるようにしてもよい。そしてスイッチ SW_{41} 、 SW_{42} 、 SW_{43} 、 SW_{44} を制御回路により表示信号に応じて切り換えることにより端子122、端子123への電圧が切替えられる。またこの例では、スイッチ印加電圧を切り換える構成を例示したが別のマトリクス回路等で構成するようにしてもよい。

【0091】画素電圧 V_p は、
$$V_p = C_v / \{ (C_v + C_a) \times V_{ah} \} + C_a / \{ (C_v + C_a) \times V_{al} \}$$
で与えられる(V_{ah} : C_v 側電圧、 V_{al} : C_a 側電圧)。ただし、ここでは簡略のため C_{LC} は無視できるものとした。

【0092】図20は図18、図19に例示したような構成を有する本発明の液晶表示装置の表示階調と液晶印加電圧との関係の例を示すグラフである。最初の16階調(0階調~15階調)を表示する際には、 SW_{44} と SW_{43b} とをオン、次の16階調(16階調~31階調)を表示する際には SW_{43a} と SW_{42b} とをオン、次の16階調(32階調~47階調)を表示する際には SW_{42a} と SW_{41} とをオンとし、 V_{a42} と V_{a43} との電圧差を大きくした場合である。これにより階調と画素電圧との関係を視感度や液晶の電圧-光学特性に応じて調節することができる。

【0093】図21は図18、図19に例示したような構成を有する本発明の液晶表示装置の表示階調と印加電圧比との関係の例を示すグラフである。256階調を表示する場合の電圧比を、4つの交流電圧(V_{a41} 、 V_{a42} 、 V_{a43} の3系統の交流電圧とグラウンド)を切り換えて用いた場合の階調-電圧比と、1系統の交流電

圧供給系を用いた場合の階調-電圧比とをそれぞれ示している。

【0094】1系統の交流電圧を用いて表示した場合には、8個の容量($C_1 \sim C_8$)で電圧の連続を確保することができるような容量比 $\gamma_j = C_j / C_a$ (C_{LC} は無視できる場合)を表2のように設定した。

【表2】

j	γ_j
1	0.0083
2	0.0139
3	0.0283
4	0.0582
5	0.1236
6	0.2469
7	0.4925
8	0.9802

この場合の回路構成の例を図22に示す。

【0095】複数系統の交流電圧供給系を切り換えて用いる場合には、6つの容量 $C_1 \sim C_6$ として例えば表3のように設定した。

【表3】

j	τ_j
1	0.0129
2	0.0217
3	0.0444
4	0.0929
5	0.1806
6	0.3736

交流電圧は、それぞれ $V_{a1}=V_a$ 、 $V_{a2}=0.8V_a$ 、 $V_{a3}=0.6V_a$ 、 $V_{a4}=0.4V_a$ とした。図21からも分かるように、交流電圧を1個しか用いない場合には、電圧変化が階調ステップが上がるにつれて小さくなってしまいが、4個の交流電圧を切り換えて用いることにより、階調ステップによらずほぼ直線的に変化する電圧特性を得ることができる。さらに、図21で示したように電圧関係を変えることで区間の変化を可変にすることができる。また印加電圧の間隔は本例のように等間隔に限ることなく、細かくしたい所を小さく、大きく変化してよい所を大きくすることで、より大きな自由度を持って設定することができる。

【0096】本実施形態では以上のように自由な電圧ステップ変化を得ながら、適当な容量の組合せを作ることにより、表示に必要な階調数と一致した容量の組合せ数を得ることができる。したがって、駆動回路、画素回路の回路規模を最小にすることができ集積度を向上することができる。

【0097】また、図18に例示した構成のようにスイッチを設けると、例えば SW_{41} と SW_{43a} とをオンにすることにより端子122と123に、 V_{a41} と V_{a43} とを印加できるため、さらに広い範囲にわたって電圧制御を行うことができ、さらに細かい階調制御を行うことができる。

【0098】図22の回路構成の場合、容量の組合せとしては2通りが得られることになるが、図21の上側の曲線が示すように、階調表示としては全階調が実際の光学特性の階調に相当しない場合がある。その場合には、実際の表示階調数を下げて利用することで階調補正を行うことができる。換言すれば必要な表示階調数よりも多い組み合わせとなる容量群を可変容量素子に配設し、これらによって得られる容量の組み合わせのうち適

当な点のみを選択して表示に用いることができる。このような構成を採用することにより交流電圧が1種類でもよく総合的に回路が簡略にできる場合がある。液晶印加電圧がこの容量組合せ数増加分の中に含まれれば特に有効な構成となる。

【0099】(実施形態8) 図23は本発明の液晶表示装置の構成の別の例を概略的に示す図である。

【0100】この液晶表示装置では、可変容量素子 C_v 、104を構成するスイッチ $SW1$ 、 $SW2$ 、 $SW3$ 、 $SW4$ を薄膜トランジスタで構成し、この薄膜トランジスタソース・ドレインのうちコンデンサ $C1$ 、 $C2$ 、 $C3$ 、 $C4$ と反対側の共通配線をグラウンド線130に接続している。また液晶への交流電圧は対向電極102側から印加する。

【0101】このような構成を採用することにより、スイッチ $SW1$ 、 $SW2$ 、 $SW3$ 、 $SW4$ をオフにする場合の電圧をグラウンド線130に対して負(薄膜トランジスタがnチャネルの場合)にすることで実現することができる。スイッチ $SW1$ 、 $SW2$ 、 $SW3$ 、 $SW4$ をオンにする場合も、グラウンド線130に対して薄膜トランジスタの閾値電圧 $V_{th} + \alpha$ だけ印加すればよい。これによりスイッチ $SW1$ 、 $SW2$ 、 $SW3$ 、 $SW4$ の薄膜トランジスタのオン・オフを制御するゲート電圧を低く抑えることができるため、マトリクス107bの信号電圧を低く下げることができる。なお、この例ではスイッチ $SW1$ 、 $SW2$ 、 $SW3$ 、 $SW4$ の薄膜トランジスタの一端の共通接続先をグラウンド線130としたが、所定の電圧を持つ配線に共通接続するようにしてもよい。その場合には薄膜トランジスタのゲート駆動電圧を所定電圧分上げるようにすればよい。

【0102】また図23の例では、制御回路107部をデコーダ107aの代わりにマトリクス107bにより構成している。

【0103】図24は本発明の液晶表示装置が備える制御回路の構成を説明するための図である。図24(a)は可変容量素子 C_v を模式的に示している。図24

(b)に示すように、可変容量素子 C_v を構成するスイッチの薄膜トランジスタのゲートに信号線からの電圧を印加するようにしてもよいし、図24(c)に示すようにバッファを介して印加するようにしてもよい。後者の方が信号線電圧を低減することができ、信号線駆動に関する消費電力を低減することができる。

【0104】図23に示すように信号線 $Sn1$ 、 $Sn2$ 、 $Sn3$ 、 $Sn4$ 、 $Sn5$ から薄膜トランジスタよりなるスイッチ $SW1$ 、 $SW2$ 、 $SW3$ 、 $SW4$ 、 $SW0$ を駆動する。これによりデコーダ107aを用いることなく、可変容量素子 C_v 、104を構成する薄膜トランジスタを制御することができる。このような構成は、デコーダ107aを集積するよりも信号線数を増加させる方が面積的に有利な場合に特に効果が高い。

【0105】（実施形態9）図25は本発明の液晶表示装置の構成の別の例を説明するための図であり、本発明を複数の液晶層を積層して単位絵素を構成した液晶表示装置に適用した例を示している。ここでは3層のGH液晶層を積層して単位絵素を構成している。

【0106】単位絵素は3層の液晶層103a、103b、103cとこれらの液晶層に表示信号に対応した電圧を印加する画素電極101a、101b、101cおよび対向電極102とにより構成されている。なお、画素電極101aは、アルミニウムなどの反射率の高い金属から構成して反射板としても機能するようにした。また画素電極101aの表面には微小な凹凸を多数配設して反射特性を向上している。画素電極101a、101b、101cに表示信号電圧を印加する駆動回路はアレイ基板側に配設されており、アレイ基板と画素電極101b、101cとの接続は例えばメッキ柱などの層間導通部により行われている。

【0107】液晶層はゲストホスト液晶により構成し、マイクロカプセルに封入されたものをを用いたが液晶層間を仕切る隔壁をフィルムまたはガラス等で設けて液晶を注入するようにしてもよい。液晶層はシアン・マゼンタ・イエローの減法混色の3原色とした。

【0108】画素電極101a、101b、101cにはそれぞれ可変容量素子104a、104b、104cが接続されている。また画素電極101a、101b、101cに対して可変容量素子104a、104b、104cとは並列に補助容量Cs1、Cs2、Cs3が接続されている。各可変容量素子104a、104b、104cには、交流電圧供給系Va101、Va102、Va103により交流電圧が印加され、液晶層と可変容量素子との容量分割により画素電極への印加電圧が定まるように構成されている。

【0109】なおこの図では簡単のため交流電圧と画素回路の間のスイッチや可変容量素子の容量値を決めるスイッチの制御回路は省略したが、前述と同様に構成するようにすればよい。

【0110】この構成で、交流電圧の周波数を揃え、また各交流電圧の位相差が保たれるように揃えることで、複数の液晶層に所定の交流電圧が印加できるようになる。位相差は0度または180度に設定することが好ましい。また交流電圧の波形は方形波にすることが好ましい。このような構成を採用することにより、明るく良好なカラー表示を得ることができた。また本発明の液晶表示装置では画素回路へ表示データを書込むことで、次の書込みまで所定の振幅の交流電圧をつねに印加し続けることができるため、高画質の表示を行うことができた。なお、液晶層の積層数は3層に限ることなく、2層以上であれば同様に適用することができる。例えばシアン、マゼンタ、イエローの3層の他に黒色の層を設けた4層構造を採用するようにしてもよい。

【0111】（実施形態10）図26は本発明の液晶表示装置の構成の別の例を示す図であり、走査線方向に隣接する2つの画素110a、110bの構成を示している（画素110bの構成は省略して示している）。また、ここでは単位画素当りの交流電圧が1系統でよい場合の例（図22参照）について説明する。図26に構成を例示した本発明の液晶表示装置は、画素電極101aと、これと走査線方向に隣接する画素電極101bとへ印加される交流電圧がそれぞれVa1とVa1'とであることにある。ここで交流電圧Va1と交流電圧Va1'とは同じ周波数で、位相が逆、同じ振幅のものである。画素電極101の可変容量素子104aは交流電圧Va1を供給する第1の交流電圧供給系に接続され、画素電極101bの可変容量素子104bは交流電圧Va1'を供給する第2の交流電圧供給系に接続されている。

【0112】このような構成を採用することにより、隣接する画素電極に供給される交流電圧の位相が異なり、対向電極102には隣接する画素電極に対応する領域ごとに逆相の交流が印加されることになる。したがって、例えばITOなどを用いて作成した場合などのように、対向電極のインピーダンスが多少高くても対向電極の電位が振れにくくなり、いわゆるクロストークを低減することができる。交流電圧Va1、Va1'をそれぞれ供給する配線112a、112bとカップリングしている信号線等にも逆相の交流が印加されることになるためノイズを低減することができる。

【0113】交流電圧供給系としては独立した複数の電源を備える構成の他にも、例えば1つの交流電源を抵抗、容量などにより分割して複数の交流電圧を供給するようにしてもよい。前述のように交流電圧の位相はずらせて供給するようにしてもよい。実際の液晶表示装置の画素回路では、画素電極が画素回路上を絶縁膜を介して覆うように形成することが開口率を向上させる上で望ましいが、画素電極と画素回路の間にシールド層を設けると画素電極へのノイズ発生を抑えることができる。容量は薄膜トランジスタのゲート絶縁膜や層間絶縁膜で形成することも可能であるが、専用の絶縁性材料を用いるようにしてもよい。また、液晶層を構成する液晶材料としては、例えばゲストホスト液晶、TN液晶、（反）強誘電性液晶、コレステリック液晶、ポリマー分散型液晶などを用いなお上述した実施形態は、必要に応じて組み合わせる用いるようにしてもよく、その他本発明の趣旨を逸脱しない範囲で種々に変形することができる。

【0114】

【発明の効果】以上説明したように本発明の液晶表示装置によれば、安定した中間調表示を容易に行うことができる。かつ画素の書込みに対する容量負荷を低減することができる。したがって高精細、大表示画面の液晶表示装置を提供することができる。

【0115】また本発明の液晶表示装置によれば、液晶層に交流電圧を印加しながら階調制御を行うことができ、表示品質を向上することができる。また表示信号をデジタルデータとして各画素まで送ることができるため、周辺駆動回路をデジタル回路で構成することができる。したがって周辺駆動回路の出力電圧の精度を緩和することができ、ローコストで低消費電力の駆動回路を用いて表示品質の高い液晶表示装置を構成することができる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の単位画素の構成を説明するための図。

【図2】電極Aと電極Bとの間に印加する交流電圧を説明するための図。

【図3】本発明の液晶表示装置の単位画素の構成の別の例を説明するための図。

【図4】インピーダンス素子を構成する薄膜トランジスタのゲート電圧と液晶層に印加される液晶印加電圧との関係の例を説明するための図。

【図5】インピーダンス素子を構成する薄膜トランジスタのゲート電圧と液晶層に印加される液晶印加電圧との関係の別の例を説明するための図。

【図6】インピーダンス素子を構成する薄膜トランジスタのゲート電圧と液晶層に印加される液晶印加電圧との関係の別の例を説明するための図。

【図7】本発明の液晶表示装置の単位画素の構成の例を概略的に示す等価回路図。

【図8】図30、図31に例示した薄膜トランジスタの電気特性をもとに容量を調節したときの液晶電圧特性の例を示す図。

【図9】薄膜トランジスタを6個並列に接続した場合に得られる液晶電圧特性の例を示す図。

【図10】本発明の液晶表示装置の単位画素構成の例を概略的に示す等価回路図。

【図11】本発明の液晶表示装置の液晶電圧特性の例を示す図。

【図12】本発明の液晶表示装置の単位画素構成の例を概略的に示す等価回路図。

【図13】本発明の液晶表示装置の液晶電圧特性の例を示す図。

【図14】本発明の液晶表示装置の単位画素の構成の別の例を説明するための図。

【図15】本発明の液晶表示装置の構成の例を概略的に示す図。

【図16】本発明の液晶表示装置の構成の例を概略的に示す図。

【図17】本発明の液晶表示装置の表示階調と液晶印加電圧の関係の例を示すグラフ。

【図18】本発明の液晶表示装置の構成の別の例を概略的に示す図。

【図19】制御回路をデコーダとした場合の画素回路構成を示す図。

【図20】本発明の液晶表示装置の表示階調と液晶印加電圧との関係の例を示すグラフ。

【図21】本発明の液晶表示装置の表示階調と印加電圧比との関係の例を示すグラフ。

【図22】本発明の液晶表示装置の回路構成の例を概略的に示す図。

【図23】本発明の液晶表示装置の構成の別の例を概略的に示す図。

【図24】本発明の液晶表示装置が備える制御回路の構成を説明するための図。

【図25】本発明の液晶表示装置の構成の別の例を説明するための図。

【図26】本発明の液晶表示装置の構成の別の例を示す図。

【図27】従来のアクティブマトリクス型液晶表示装置の構成を示す図。

【図28】従来のアクティブマトリクス型液晶表示装置の構成を示す図。

【図29】薄膜トランジスタのゲート電圧 V_g と液晶印加電圧との関係の例を示す図。

【図30】薄膜トランジスタのゲート電圧 V_g とドレインソース間抵抗との関係の例を示す図。

【図31】液晶層に印加される電圧を薄膜トランジスタのゲート電圧 V_g の関数として表したグラフ。

【図32】従来の液晶表示装置の構成の例を概略的に示す図。

【符号の説明】

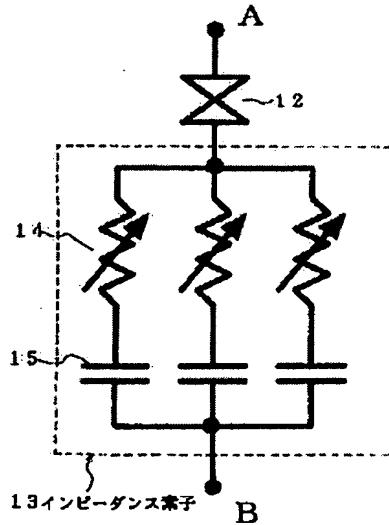
- | | |
|---------------|------------|
| 12 | 液晶層 |
| 13 | インピーダンス素子 |
| 14 | 可変抵抗素子 |
| 15 | 分圧用容量 |
| 16 | 薄膜トランジスタ |
| 17 | 容量 |
| 18 | 補助容量 |
| 18a, 18b, 18c | 容量素子 |
| 19a, 19b, 19c | 付加容量 |
| 101 | 画素電極 |
| 102 | 対向電極 |
| 103 | 液晶層 |
| 104 | 可変容量素子 |
| 105 | 表示信号供給系 |
| 106 | スイッチ |
| 107 | 制御回路 |
| 107a | デコーダ |
| 107b | マトリクス |
| 108 | 補助容量 |
| 111 | 第1の交流電圧供給系 |
| 112 | 第2の交流電圧供給系 |

113.....信号線
 114.....薄膜トランジスタ
 115.....走査線
 116.....クロック線
 117.....ストロブ配線

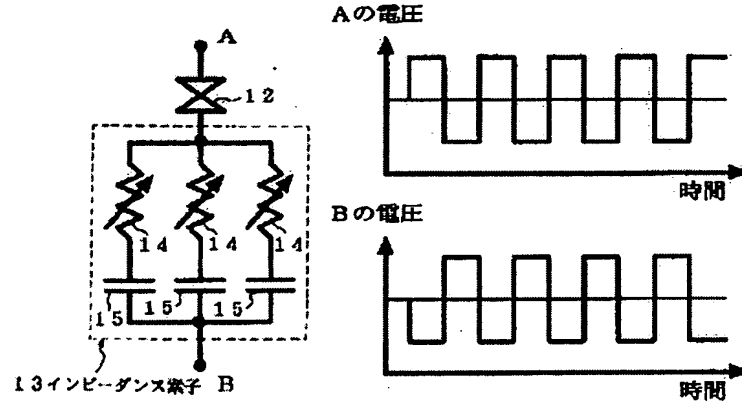
* 118.....Cs線(補助容量線)
 121.....付加容量
 122、123.....端子
 130.....グランド

*

【図1】

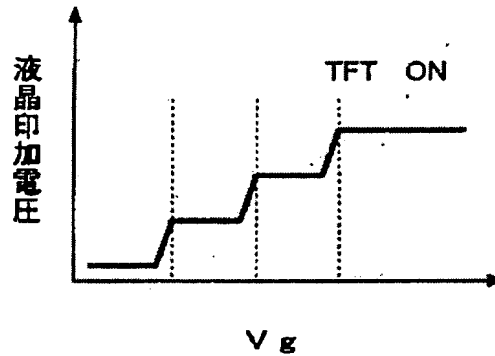
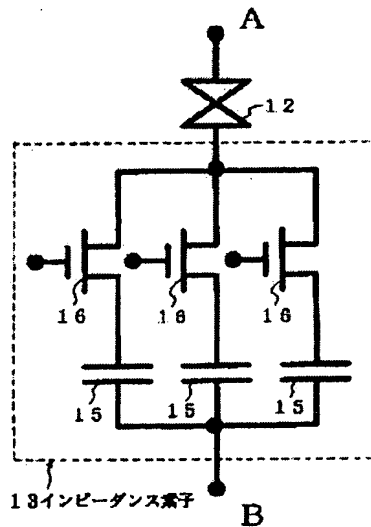


【図2】

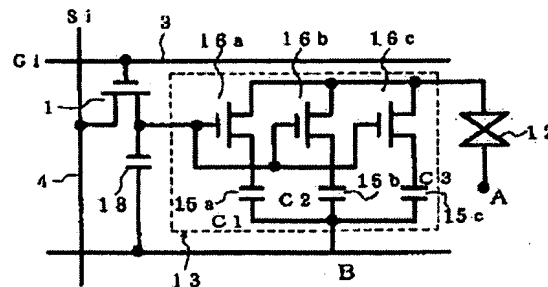


【図4】

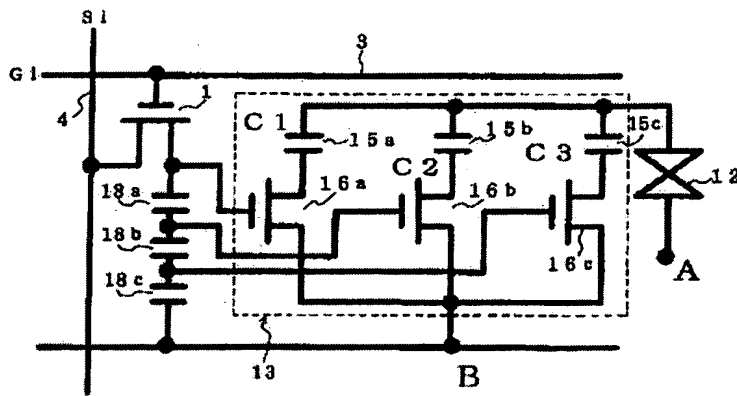
【図3】



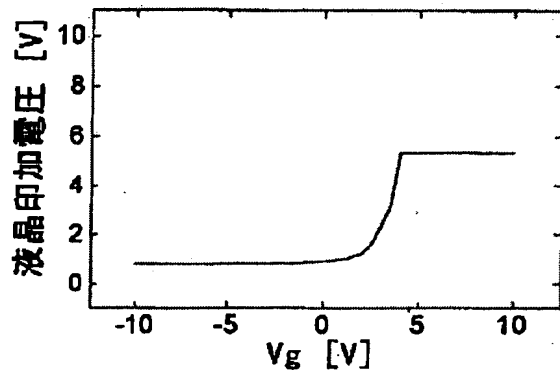
【図7】



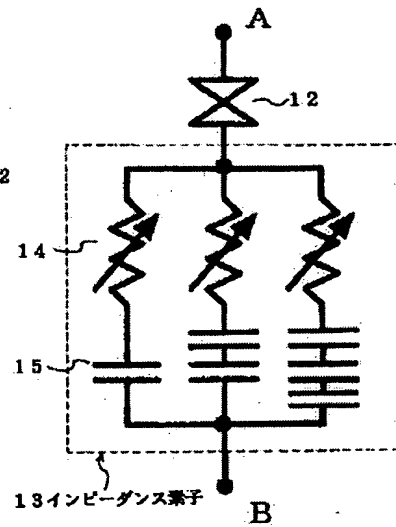
【図12】



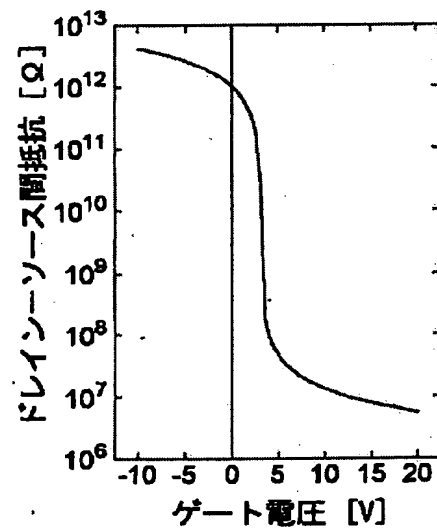
【図13】



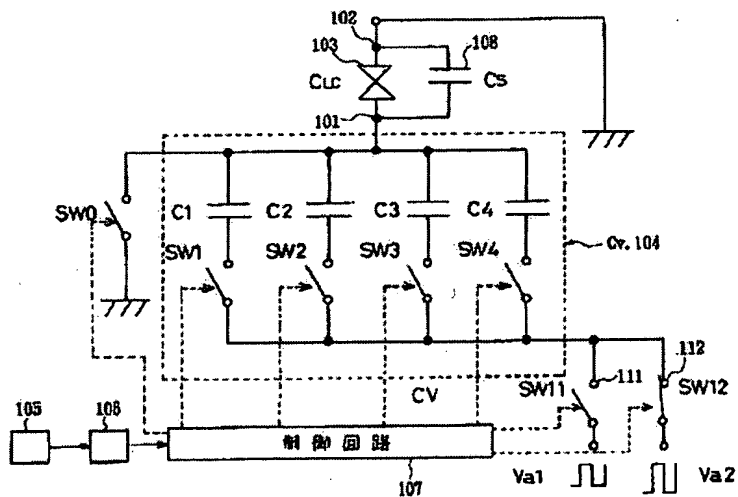
【図14】



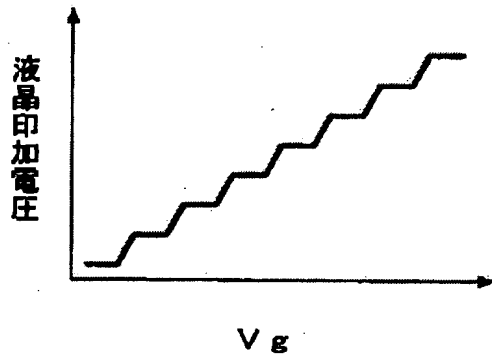
【図31】



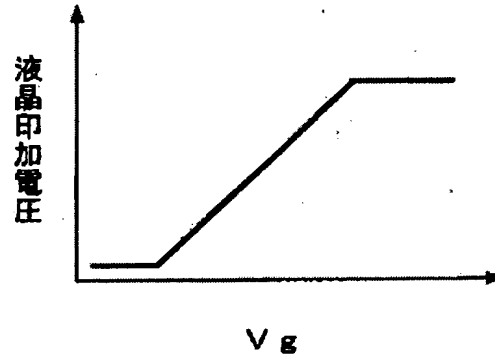
【図15】



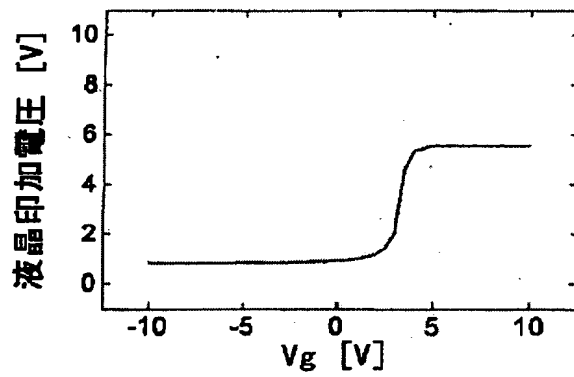
【図5】



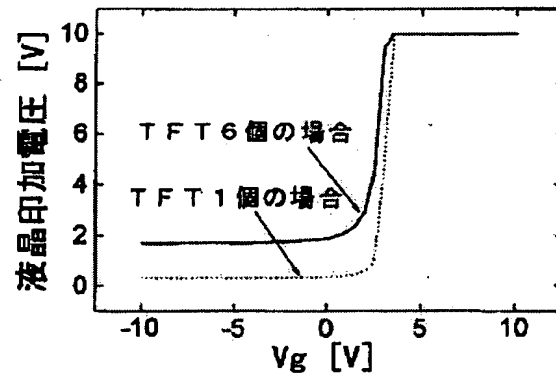
【図6】



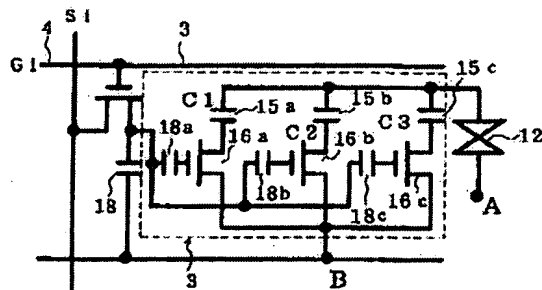
【図8】



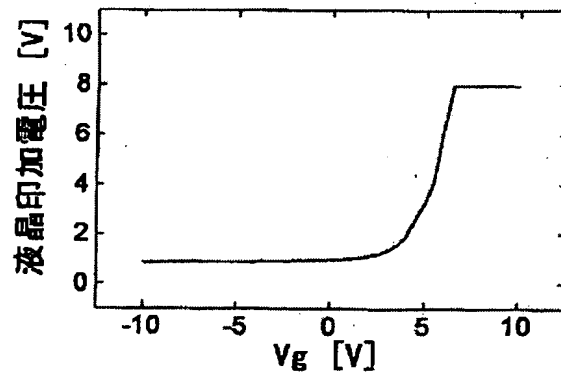
【図9】



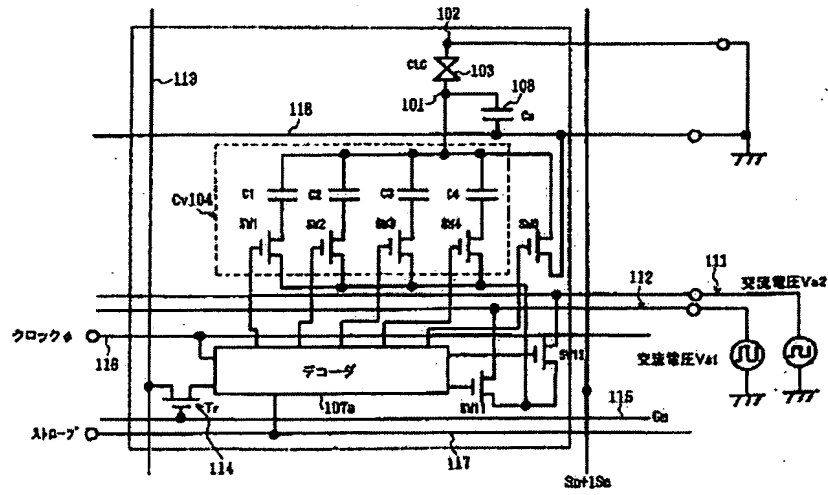
【図10】



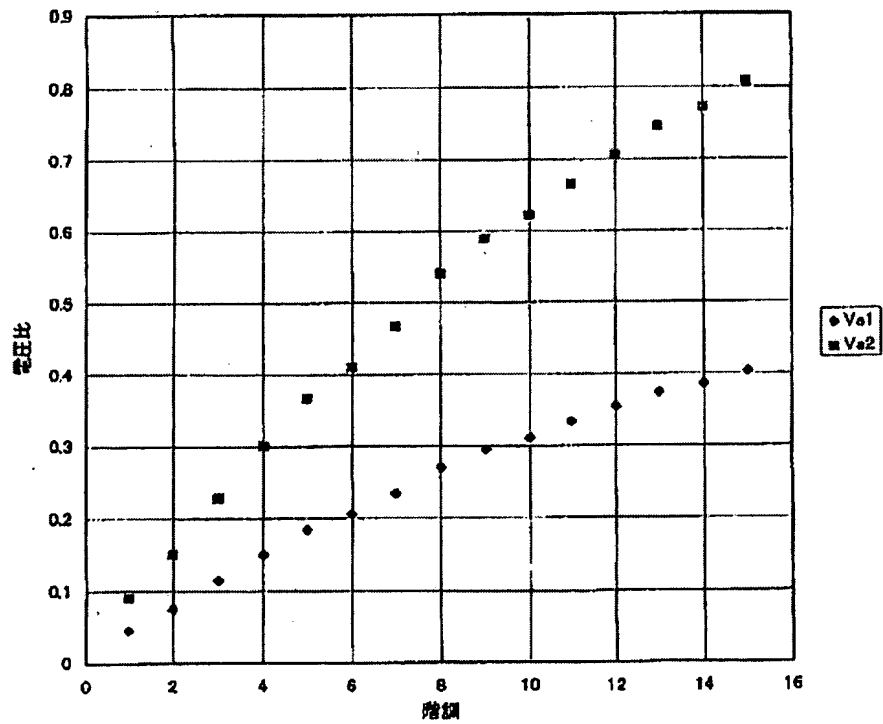
【図11】



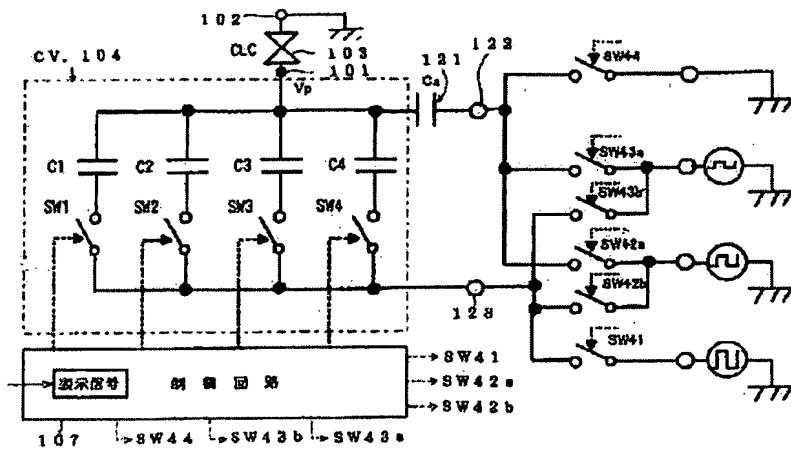
【図16】



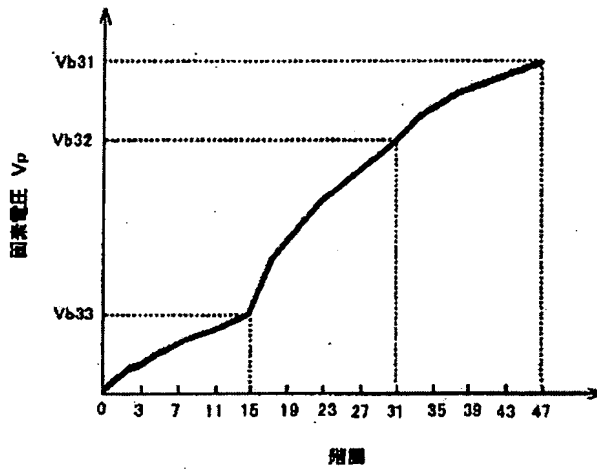
【図17】



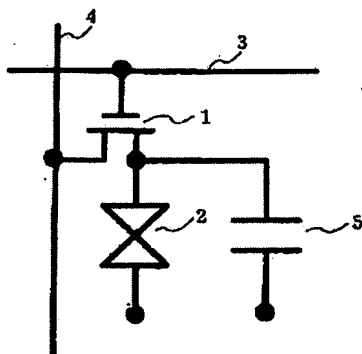
【図18】



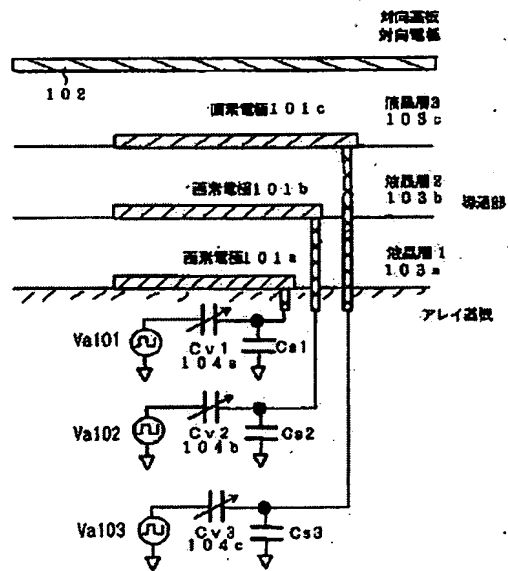
【図20】



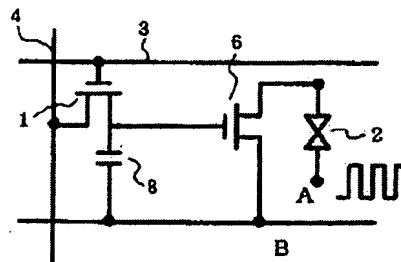
【図27】



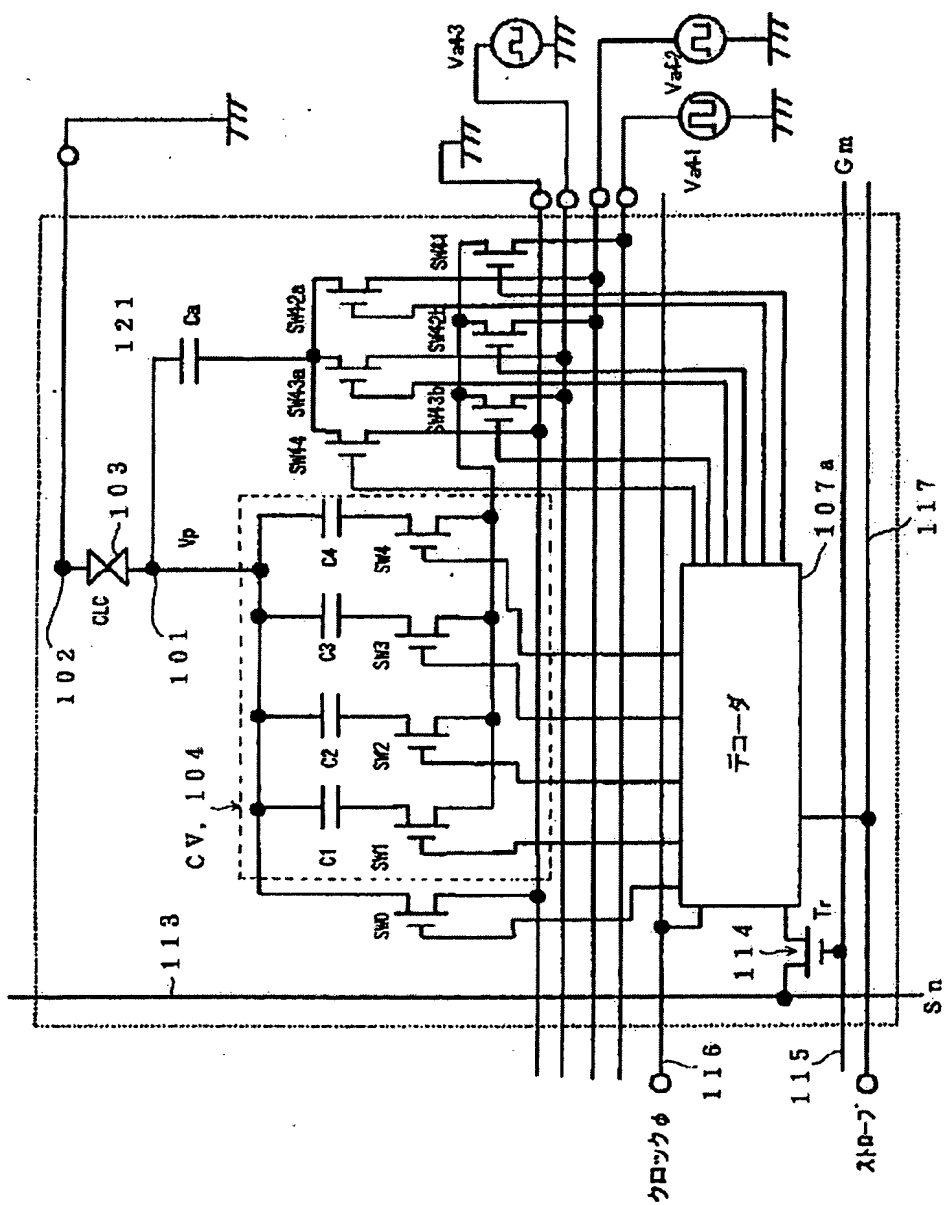
【図25】



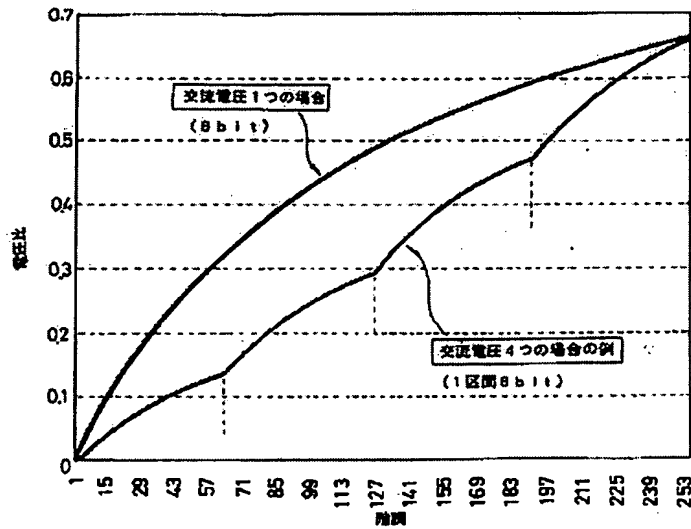
【図28】



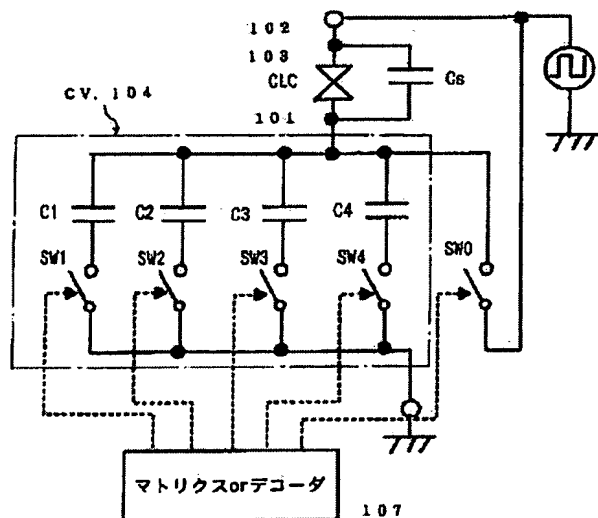
【図 19】



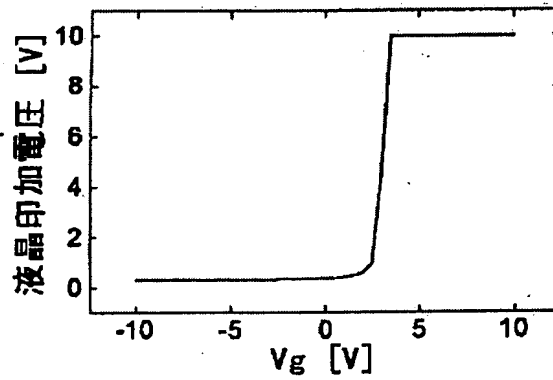
【図21】



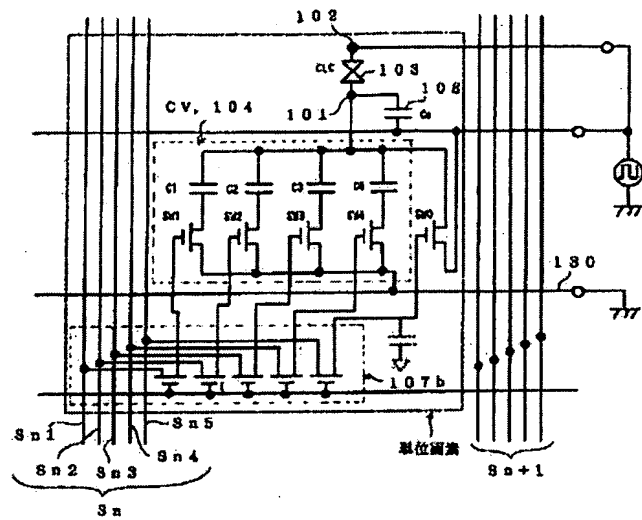
【図22】



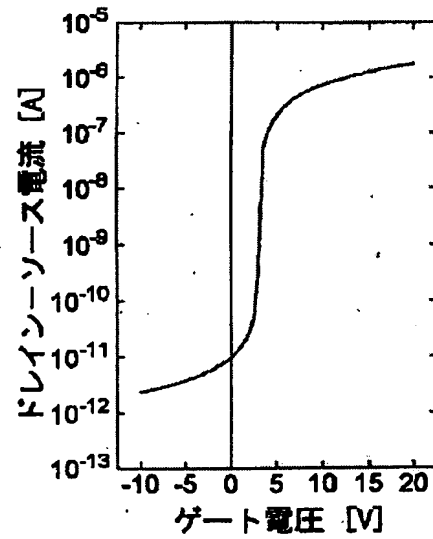
【図29】



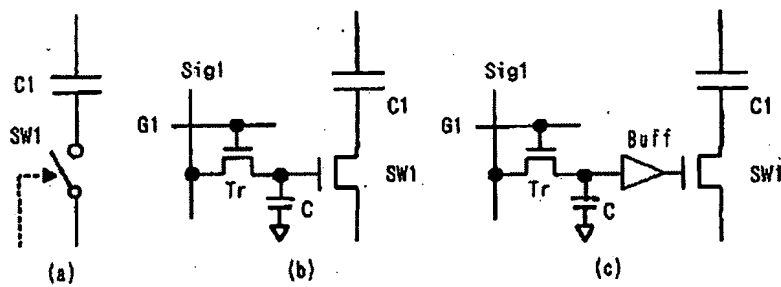
【図23】



【図30】

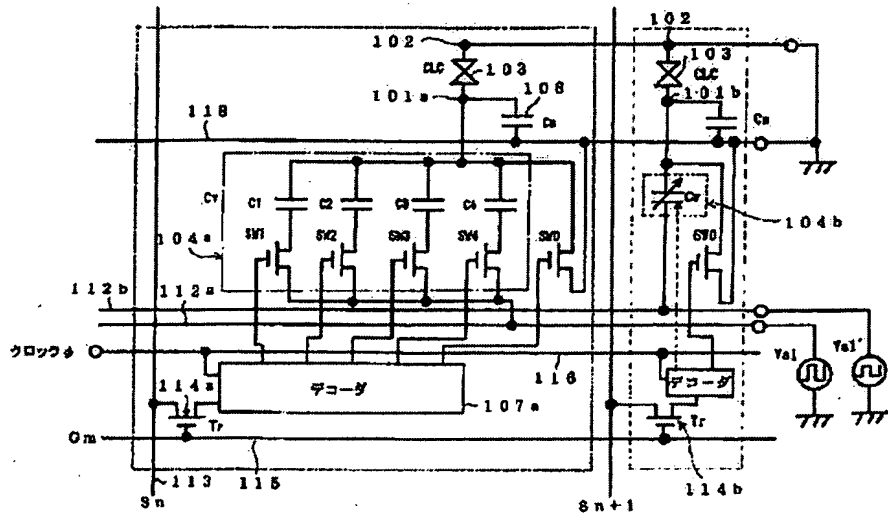


【図24】



(マトリクスの場合)

【図26】



【図32】

